

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245236

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01G 4/33

(21)Application number : 07-004461

(71)Applicant : ROHM CO LTD

(22)Date of filing : 13.01.1995

(72)Inventor : NAKAMURA TAKASHI

(30)Priority

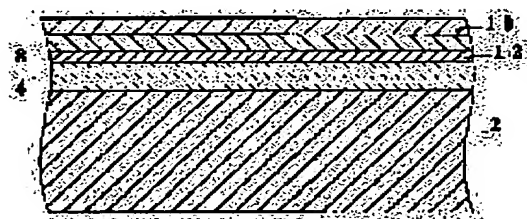
Priority number : 06 2246 Priority date : 13.01.1994 Priority country : JP

## (54) DIELECTRIC CAPACITOR AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To enhance the ferroelectric constant and highdielectric constant while reducing the deterioration by age and the deterioration due to the repeated inversion of polarization by a method wherein the dielectric capacitor is provided with a lower electrode having an alloy layer of platinum and iridium while a dielectric layer in contact with the alloy layer of the lower electrode is formed on the lower electrode, furthermore, an upper electrode is formed on the dielectric layer.

**CONSTITUTION:** A silicon oxide layer 4, a lower electrode 12, a ferroelectric layer 8 and an upper electrode 10 are successively formed on a silicon substrate 2. The lower electrode 12 is formed of an alloy layer of platinum and iridium. Accordingly, the lattice constant can be matched by changing the mixing ratio of platinum and iridium corresponding to the kind and composition of the ferroelectric or dielectric having high dielectric constant. Furthermore, the iridium contained in the alloy is easier to be oxidized than platinum and the oxidized iridium can prevent the oxygen contained in the ferroelectric from getting out of there.



## LEGAL STATUS

[Date of request for examination] 08.07.1999

[Date of sending the examiner's decision of rejection] 14.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3349612

[Date of registration] 13.09.2002

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The ferroelectric capacitor equipped with the up electrode formed on the ferroelectric layer formed on the lower electrode which has the alloy layer of platinum and iridium, and the lower electrode so that said alloy layer of a lower electrode might be touched, and the ferroelectric layer.

[Claim 2] The ferroelectric capacitor equipped with the up electrode formed on the ferroelectric layer formed on the lower electrode which has an iridium layer, and the lower electrode so that said iridium layer of a lower electrode might be touched, and the ferroelectric layer.

[Claim 3] In the ferroelectric capacitor of claims 1 or 2, said lower electrode is formed on the silicon oxide layer formed on the substrate, and said lower electrode is characterized by having the junctional zone which touches said silicon oxide layer under said alloy layer or an iridium layer.

[Claim 4] What is characterized by making Y into between 0-0.5 in the ferroelectric capacitor of claim 1, using PtYIr1-Y as a layer of the lower electrode which touches a ferroelectric layer, using PbZrTiO<sub>3</sub> as said ferroelectric layer.

[Claim 5] What is characterized by making said Y into between 0.2-0.3 in the ferroelectric capacitor of claim 4.

[Claim 6] What is characterized by making Y into between 0.8 in the ferroelectric capacitor of claim 1, using PtYIr1-Y as a layer of the lower electrode which touches a ferroelectric layer, using Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> as said ferroelectric layer.

[Claim 7] The ferroelectric capacitor equipped with the up electrode formed on the ferroelectric layer formed on the lower electrode which has the alloy layer of two or more conductors with which lattice constants differ, and the lower electrode so that the alloy layer of a lower electrode might be touched, and the ferroelectric layer.

[Claim 8] In the ferroelectric capacitor of claim 7, said alloy layer is characterized by being the alloy layer which contains iridium at least.

[Claim 9] The ferroelectric capacitor equipped with the up electrode which is formed on the ferroelectric layer formed on the lower electrode and the lower electrode, and a ferroelectric layer, and has the alloy layer of platinum and iridium.

[Claim 10] The ferroelectric capacitor equipped with the up electrode which is formed on the ferroelectric layer formed on the lower electrode and the lower electrode, and a ferroelectric layer, and has an iridium layer.

[Claim 11] The dielectric capacitor which has the high dielectric constant equipped with the up electrode formed on the dielectric layer which has the high dielectric constant formed on the lower electrode which has the alloy layer of platinum and iridium, and the lower electrode so that said alloy layer of a lower electrode might be touched, and the dielectric layer which has a high dielectric constant.

[Claim 12] The dielectric capacitor which has the high dielectric constant equipped with the up electrode formed on the dielectric layer which has the high dielectric constant formed on the lower electrode which has an iridium layer, and the lower electrode so that said iridium layer of a lower electrode might be touched, and the dielectric layer which has a high dielectric constant.

[Claim 13] In the dielectric capacitor which has the high dielectric constant of claims 11 or 12, said lower electrode is formed on the silicon oxide layer formed on the substrate, and said lower electrode is characterized by having the junctional zone which touches said silicon oxide layer under said alloy layer or an iridium layer.

[Claim 14] The dielectric capacitor which has the high dielectric constant equipped with the up electrode formed on the dielectric layer which has the high dielectric constant formed on the lower electrode which has the alloy layer of two or more conductors with which lattice constants differ, and the lower electrode so that the

alloy layer of a lower electrode might be touched, and the dielectric layer which has a high dielectric constant.  
[Claim 15] In the dielectric capacitor which has the high dielectric constant of claim 14, said alloy layer is characterized by being the alloy layer which contains iridium at least.

[Claim 16] The dielectric capacitor which has the high dielectric constant equipped with the up electrode which is formed on the dielectric layer which has the high dielectric constant formed on the lower electrode and the lower electrode, and the dielectric layer which has a high dielectric constant, and has the alloy layer of platinum and iridium.

[Claim 17] The dielectric capacitor which has the high dielectric constant equipped with the up electrode which is formed on the dielectric layer which has the high dielectric constant formed on the lower electrode and the lower electrode, and the dielectric layer which has a high dielectric constant, and has an iridium layer.

[Claim 18] The manufacture approach of the ferroelectric capacitor equipped with the step which forms the alloy layer or iridium layer of platinum and iridium as a lower electrode, the step which forms a ferroelectric layer so that it may touch on said alloy layer, and the step which forms an up electrode on a ferroelectric layer by sputtering on the substrate.

[Claim 19] The manufacture approach of the ferroelectric capacitor equipped with the step which forms the alloy layer or iridium layer of platinum and iridium, and forms a lower electrode on the step which forms a junctional zone on the step which forms a silicon oxide layer on a substrate, and said silicon oxide layer, and said titanium layer, the step which forms a ferroelectric layer on said lower electrode, and the step which forms an up electrode on a ferroelectric layer.

[Claim 20] What is characterized by having the step which is 400-degree more than Centigrade and heat-treats a lower electrode in the manufacture approach of the ferroelectric capacitor of claim 18 or claim 19.

[Claim 21] In the manufacture approach of the ferroelectric capacitor of claim 20, a heat treatment step is characterized by being what serves as heat treatment for the ferroelectric stratification.

[Claim 22] The manufacture approach of the ferroelectric capacitor characterized by changing the lattice constant of an alloy and making it make it agree with the lattice constant of said ferroelectric layer by using said lower electrode as the alloy of the metal of two or more classes with which lattice constants differ in the manufacture approach of a ferroelectric capacitor of having a lower electrode and an up electrode to the both ends of a ferroelectric layer, and changing the percentage of an alloy.

[Claim 23] The manufacture approach of a dielectric capacitor of having the high dielectric constant equipped with the step which forms the alloy layer or iridium layer of platinum and iridium as a lower electrode by sputtering, the step which forms the dielectric layer which has a high dielectric constant so that it may touch on said alloy layer, and the step which forms an up electrode on the dielectric layer which has a high dielectric constant on the substrate.

[Claim 24] The manufacture approach of a dielectric capacitor of having the high dielectric constant equipped with the step which forms the alloy layer or the iridium layer of platinum and iridium, and forms a lower electrode on the step which forms a junctional zone on the step which forms a silicon oxide layer on a substrate, and said silicon oxide layer, and said titanium layer, the step which form the dielectric layer which has a high dielectric constant on said lower electrode, and the step which form an up electrode on the dielectric layer which has a high dielectric constant.

[Claim 25] What is characterized by having the step which heat-treats a lower electrode at the temperature of 400-degree more than Centigrade in the manufacture approach of a dielectric capacitor of having the high dielectric constant of claim 23 or claim 24.

[Claim 26] In the manufacture approach of a dielectric capacitor of having a claim 25 quantity dielectric constant, a heat treatment step is characterized by being what serves as heat treatment for the dielectric stratification which has a high dielectric constant.

[Claim 27] The manufacture approach of a dielectric capacitor of having the high dielectric constant characterized by changing the lattice constant of an alloy and making it make it agreeing with the lattice constant of the dielectric layer which has said high dielectric constant by using said lower electrode as the alloy of the metal of two or more classes with which lattice constants differ in the manufacture approach of a dielectric capacitor of having the high dielectric constant which has a lower electrode and an up electrode to the both ends of the dielectric layer which has a high dielectric constant, and changing the percentage of an alloy.

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates especially to improvement in that ferroelectricity about a dielectric capacitor.

[0002] The conventional ferroelectric capacitor is shown in drawing 13. The silicon oxide layer 4 is formed on the silicon substrate 2. The lower electrode 6 which moreover consists of platinum is formed. On the lower electrode 6, the PZT ( $\text{PbZrXTi}_{1-X}\text{O}_3$ ) film 8 which is a ferroelectric layer is formed, and the up electrode 10 which consists of platinum is further formed on it. Thus, a ferroelectric capacitor is formed with the lower electrode 6, the PZT film 8, and the up electrode 10.

[0003] In addition, using platinum as a lower electrode 6 is based on the following reasons here. The PZT film 8 must be formed on the orientation film. It is because a ferroelectricity will be spoiled in order not to carry out orientation if it forms on the amorphous film. On the other hand, the lower electrode 6 must be formed in the condition of having insulated from the silicon substrate 2. For this reason, the silicon oxide layer 4 is formed on a silicon substrate 2. This silicon oxide layer 4 is amorphous. Although the film generally formed in the amorphous top turns into non-orientation film, platinum has the property which serves as orientation film in an amorphous top. Since it is such, platinum is used as a lower electrode.

[0004]

[Problem(s) to be Solved by the Invention] However, there were the following troubles in the above conventional ferroelectric capacitors.

[0005] In the first place, the mismatch of a lattice constant with the platinum which is a lower electrode became large with the class of ferroelectric, or a presentation, and a possibility that a ferroelectricity might deteriorate was.

[0006] Platinum had [ second ] the problem that a ferroelectricity fell by the repeat of the ejection of the oxygen in a ferroelectric (PZT), secular change, and polarization reversal in order to tend to penetrate oxygen. That is, as shown in drawing 14, there was a possibility that the oxygen in a ferroelectric might slip out, from between the columnar crystals of platinum.

[0007] Moreover, such a problem was similarly produced in the capacitor using the dielectric which has a high dielectric constant.

[0008] This invention aims at offering the dielectric capacitor which has few ferroelectric capacitors or high dielectric constant of long term deterioration and degradation by the repeat of polarization reversal while it solves the above-mentioned trouble and shows the outstanding ferroelectricity and the outstanding high dielectric.

[0009]

[Means for Solving the Problem] In addition, in this invention, when a "capacitor" points out the structure where the electrode was prepared in the both sides of an insulator and used for are recording of quantity of electricity, it is a concept containing what has this structure irrespective of no.

[0010] The dielectric capacitor which has the ferroelectric capacitor of claim 1 and the high dielectric constant of claim 11 is equipped with the up electrode formed on the dielectric layer and dielectric layer which were formed on the lower electrode which has the alloy layer of platinum and iridium, and the lower electrode so that said alloy layer of a lower electrode might be touched.

[0011] The dielectric capacitor which has the ferroelectric capacitor of claim 2 and the high dielectric constant

of claim 12 is equipped with the up electrode formed on the dielectric layer and dielectric layer which were formed on the lower electrode which has an iridium layer, and the lower electrode so that said iridium layer of a lower electrode might be touched.

[0012] The dielectric capacitor which has the ferroelectric capacitor of claim 3 and the high dielectric constant of claim 13 is formed on the silicon oxide layer by which said lower electrode was formed on the substrate, and said lower electrode is characterized by having the junctional zone which touches said silicon oxide layer under said alloy layer or an iridium layer.

[0013] The ferroelectric capacitor of claim 4 is characterized by making Y into between 0-0.5, using PtYIr1-Y as a layer of the lower electrode which touches a ferroelectric layer, using PbZrTiO<sub>3</sub> as said ferroelectric layer.

[0014] The ferroelectric capacitor of claim 5 is characterized by making said Y into between 0.2-0.3 in claim 4.

[0015] The ferroelectric capacitor of claim 6 is characterized by making Y into between 0.8, using PtYIr1-Y as a layer of the lower electrode which touches a ferroelectric layer, using Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> as a ferroelectric layer.

[0016] The dielectric capacitor which has the ferroelectric capacitor of claim 7 and the high dielectric constant of claim 14 is equipped with the up electrode formed on the ferroelectric layer formed on the lower electrode which has the alloy layer of two or more conductors with which lattice constants differ, and the lower electrode so that the alloy layer of a lower electrode might be touched, and the ferroelectric layer.

[0017] It is characterized by the dielectric capacitor which has the ferroelectric capacitor of claim 8 and the high dielectric constant of claim 15 being an alloy layer in which said alloy layer contains iridium at least.

[0018] The dielectric capacitor which has the ferroelectric capacitor of claim 9 and the high dielectric constant of claim 16 was formed on the ferroelectric layer formed on the lower electrode and the lower electrode, and the ferroelectric layer, and is equipped with the up electrode which has the alloy layer of platinum and iridium.

[0019] The dielectric capacitor which has the ferroelectric capacitor of claim 10 and the high dielectric constant of claim 17 was formed on the ferroelectric layer formed on the lower electrode and the lower electrode, and the ferroelectric layer, and is equipped with the up electrode which has an iridium layer.

[0020] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 18 and the high dielectric constant of claim 23 is equipped with the step which forms the alloy layer or iridium layer of platinum and iridium as a lower electrode, the step which forms a dielectric layer so that it may touch on said alloy layer, and the step which forms an up electrode on a dielectric layer by sputtering on the substrate.

[0021] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 19, and the high dielectric constant of claim 24 On the step which forms a silicon oxide layer on a substrate, and said silicon oxide layer It has the step which forms the alloy layer or iridium layer of platinum and iridium, and forms a lower electrode on the step which forms a junctional zone, and said titanium layer, the step which forms a dielectric layer on said lower electrode, and the step which forms an up electrode on a dielectric layer.

[0022] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 20 and the high dielectric constant of claim 25 is characterized by having the step which is 400-degree more than Centigrade and heat-treats a lower electrode.

[0023] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 21 and the high dielectric constant of claim 26 is characterized by a heat treatment step being what serves as heat treatment for the dielectric stratification.

[0024] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 22 and the high dielectric constant of claim 27 is characterized by changing the lattice constant of an alloy and making it make it agree with the lattice constant of a dielectric layer by using a lower electrode as the alloy of the metal of two or more classes with which lattice constants differ, and changing the percentage of an alloy.

[0025]

[Function and Effect(s) of the Invention] The dielectric capacitor which has the ferroelectric capacitor of claim 1 and the high dielectric constant of claim 11 is characterized by using the lower electrode which has the alloy layer of platinum and iridium. Therefore, the mixing ratio of platinum and iridium can be changed and a lattice constant can be made to match according to the class of dielectric and presentation which have a ferroelectric and a high dielectric constant. Moreover, the iridium contained in an alloy tends to oxidize rather than platinum,

and can prevent omission \*\*\*\* of the oxygen in a ferroelectric by the iridium which oxidized.

[0026] The dielectric capacitor which has the ferroelectric capacitor of claim 2 and the high dielectric constant of claim 12 is characterized by using the lower electrode which has an iridium layer. Therefore, the ejection of the oxygen in a ferroelectric can be prevented by the iridium which oxidized.

[0027] The dielectric capacitor which has the ferroelectric capacitor of claim 3 and the high dielectric constant of claim 13 is characterized by having the junctional zone which touches a silicon oxide layer under a lower electrode. Therefore, the adhesive property of the dielectric layer which has a ferroelectric layer and a high dielectric constant can be raised.

[0028] The ferroelectric capacitor of claim 4 makes Y between 0-0.5, using PtYIr<sub>1-Y</sub> as a layer of the lower electrode which touches a ferroelectric layer, using PbZrTiO<sub>3</sub> as a ferroelectric layer. Therefore, both lattice constant can match and the outstanding ferroelectricity can be acquired.

[0029] The ferroelectric capacitor of claim 5 makes Y between 0.2-0.3. Therefore, both lattice constant can match still better and the further excellent ferroelectricity can be acquired.

[0030] The ferroelectric capacitor of claim 6 makes Y between 0.8, using PtYIr<sub>1-Y</sub> as a layer of the lower electrode which touches a ferroelectric layer, using Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> as a ferroelectric layer. Therefore, both lattice constant can match and the outstanding ferroelectricity can be acquired.

[0031] The dielectric capacitor which has the ferroelectric capacitor of claim 7 and the high dielectric constant of claim 14 has the alloy layer of two or more conductors with which lattice constants differ in the lower electrode. Therefore, it is easy by changing the ratio of an alloy to take matching of a lattice constant with a dielectric layer.

[0032] The dielectric capacitor which has the ferroelectric capacitor of claim 8 and the high dielectric constant of claim 15 contains iridium in said alloy layer further. Therefore, the ejection of the oxygen from a dielectric layer can be prevented by the iridium which oxidized.

[0033] The dielectric capacitor which has the ferroelectric capacitor of claims 9 and 10 and the high dielectric constant of claims 16 and 17 equips the up electrode with the alloy layer or iridium layer of platinum and iridium. Therefore, it can prevent that the oxygen in a ferroelectric understands and slips out of an up electrode by the iridium which oxidized.

[0034] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 18 and the high dielectric constant of claim 23 has the step which forms in the bottom of a lower electrode the junctional zone which touches a silicon oxide layer. Therefore, the adhesive property of a ferroelectric layer and the dielectric layer which has a high dielectric constant can be raised.

[0035] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 19 and the high dielectric constant of claim 24 formed the alloy layer or iridium layer of platinum and iridium as a lower electrode, and is equipped with the step heat-treated or more by Centigrade 700. Therefore, the iridium in an iridium layer or an alloy layer can oxidize, and the ejection of oxygen can be prevented.

[0036] The manufacture approach of a dielectric capacitor of having the manufacture approach of the ferroelectric capacitor of claim 20 and the high dielectric constant of claim 25 is characterized by uniting heat treatment of a lower electrode and performing it by heat treatment for the dielectric stratification. Therefore, simplification of a process can be attained and it can manufacture efficiently.

[0037] That is, the good dielectric capacitor of a ferroelectricity and a high dielectric can be offered.

[0038]

[Example] The structure of the ferroelectric capacitor by one example of this invention is shown in drawing 1. On the silicon substrate 2, the silicon oxide layer 4, the lower electrode 12, the ferroelectric layer 8, and the up electrode 10 are formed. The lower electrode 12 is formed of the alloy layer of platinum and iridium.

[0039] The physical properties of platinum and iridium are hung up as compared with drawing 2. The physical properties of iridium are almost equal to the physical properties of platinum so that clearly also from this table. The resistivity of iridium is smaller than platinum and is an ingredient desirable as an electrode. Moreover, the lattice constant of iridium is 3.839Å to the lattice constant of platinum being 3.923Å. Therefore, the lattice constant of platinum and the alloy of iridium can be set up among 3.923Å - 3.839Å by changing a mixing ratio. That is, according to the class of ferroelectric, or a presentation, it can consider as a suitable lattice constant.

[0040] For example, the case where titanate-bismuth Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> (it is called Ferroelectric BIT) is used as a



ferroelectric layer 8 is explained. The lattice constants of BIT are  $a = 5.45$ ,  $b = 5.41$ , and  $c = 32.815$ . On the other hand, as shown in drawing 3 (111), orientation of platinum and iridium which are the lower electrode 12 is carried out to a direction. Therefore, in order to obtain the c-axis orientation film of BIT, it is necessary to make the interatomic distance L of the field (111) of the lower electrode 12 equal to  $a = 5.45$  or  $b = 5.41$ . In this example, the interatomic distance L of a field (111) can be set to 5.43 by setting the presentation ratio of platinum and the alloy of iridium to  $x = 0.8$  in  $\text{PtXIr}_{1-X}$ . That is, the lattice constant of BIT and matching can be taken and the high BIT film of a ferroelectricity can be formed.

[0041] Moreover, iridium tends to oxidize compared with platinum. As shown in the table of drawing 2, iridium oxidizes under an elevated temperature to the thing to which platinum cannot react easily with oxygen. If this platinum and the alloy of iridium are heat-treated, iridium will oxidize slightly. Since this oxidation iridium 20 takes up the path of which it is formed between the columnar crystals of platinum and the oxygen in a ferroelectric 8 slips out, lack of oxygen can be prevented (R> drawing 4 4 reference).

[0042] The above ferroelectric capacitors can be used as nonvolatile memory combining a transistor 24, as shown in drawing 5.

[0043] The production process of the ferroelectric capacitor by one example of this invention is shown in drawing 6. The front face of a silicon substrate 2 is oxidized thermally, and the silicon oxide layer 4 is formed (drawing 6 A). Here, thickness of the silicon oxide layer 4 was set to 600nm. Next, platinum and the alloy of iridium are formed on the silicon oxide layer 4, using platinum and iridium as a target (drawing 6 B). Let this be the lower electrode 12. Here, it formed in the thickness of 200nm.

[0044] Next, the PZT film is formed as a ferroelectric layer 8 with a sol gel process on this lower electrode 12 (drawing 6 C). As a start raw material,  $\text{Pb}(\text{CH}_3\text{COO})_2$  and  $3\text{H}_2\text{O}$ , and the mixed solution of  $\text{Zr}(\text{t-OC}_4\text{H}_9)_4$  and  $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$  were used. After carrying out the spin coat of this mixed solution, it was made to dry at 150 degrees (for it to be the same Centigrade and the following), and temporary baking for 30 seconds was performed at 400 degrees in the dried air ambient atmosphere. After repeating this 5 times, heat treatment of 700 degrees or more was performed in  $\text{O}_2$  ambient atmosphere. Thus, the 250nm ferroelectric layer 8 was formed. In addition, the PZT film is formed in  $\text{PbZrXTi}_{1-X}\text{O}_3$  here, using x as 0.52 (it expresses Following PZT (52-48)).

[0045] Furthermore, the up electrode 10 is formed with platinum by sputtering on the ferroelectric layer 8 (drawing 6 D). Thus, a ferroelectric capacitor can be obtained.

[0046] In addition, it is at the above-mentioned example. He sets and heat-treats the lower electrode 12 by (700 degrees or more), and is trying to oxidize iridium by heat treatment for forming the ferroelectric layer 8. However, this heat treatment may be performed at the time of formation of the lower electrode 12. When the below-mentioned improvement in a property of a high dielectric performed heat treatment of 400 degrees or more, it became clear that it appeared notably. Of course, predetermined effectiveness is acquired even if it is the temperature not more than it. Moreover, even if it does not perform special heat treatment, according to secular change, oxidation of iridium advances gradually and effectiveness may be acquired.

[0047] PZT (52/48) is used for drawing 7 as a ferroelectric layer 8, and a graph shows change of the Remanence  $P_r$  and the coercive electric field  $E_c$  at the time of changing the presentation ratio x of platinum and iridium, using  $\text{PtXIr}_{1-X}$  as a lower electrode 12. Compared with the case (in the case of  $x = 1.0$ ) where only platinum is used, it is clear as a lower electrode 12 that the direction at the time of using an alloy with iridium shows a value with high Remanence  $P_r$  so that clearly also from this drawing. That is, it can be said that the ferroelectricity is improving. The improvement of a remarkable property is obtained in the range of 0% - 50% of platinum, and the extremely excellent property is acquired in 20% - 30% of mixing ratio especially with a peak of about 25% of platinum.

[0048] The hysteresis characteristic of a ferroelectric capacitor at the time of using only platinum for drawing 8 as a lower electrode 12 is shown. Moreover, the hysteresis characteristic of a ferroelectric capacitor at the time of using 25% of platinum and an iridium 75% alloy for drawing 8 B as a lower electrode 12 is shown. In addition, 600nm and the lower electrode 12 were set to 200nm, and PZT was set to 250nm for the silicon oxide layer here. If both graphs are compared, the direction (direction of drawing 8 B) at the time of using an alloy shows the property excellent in Remanence  $P_r$  so that clearly.

[0049] Furthermore, the hysteresis characteristic of a ferroelectric capacitor at the time of using only iridium for drawing 9 as a lower electrode 12 is shown. Thus, even if it is the case where only iridium is used, Remanence



Pr and the coercive electric field Ec are improved. During the front face or a crystal oxidizes, and this is considered to be for changing to the oxidation iridium which is not a columnar crystal, although iridium as well as platinum is a columnar crystal.

[0050] In addition, although the reason whose property of a dielectric improves is not necessarily clear if the alloy and iridium of platinum and iridium are used for a lower electrode and an up electrode, it is thought that the reason explained above has influenced complexly.

[0051] The structure of the ferroelectric capacitor by other examples of this invention is shown in drawing 10. In this example, the titanium layer is prepared as a junctional zone 30 between the lower electrode 12 and the silicon oxide layer 4. The adhesion of iridium and the silicon oxide layer 4 is not so good. For this reason, an alloy layer peels partially and there is a possibility of degrading strong dielectric characteristics. This becomes remarkable, so that the ratio of the iridium in an alloy becomes high especially. So, in this example, the silicon oxide layer 4 and the good titanium layer of adhesion are prepared as a junctional zone 30. This has improved strong dielectric characteristics. In addition, what is necessary is just to form a titanium layer by sputtering.

[0052] The hysteresis characteristic at the time of preparing a titanium layer as a junctional zone 30 in the bottom of the lower electrode 12 by iridium at drawing 11 is shown. Here, 5nm and the lower electrode 12 were set to 200nm, and PZT was set [ the silicon oxide layer ] to 250nm for 6000A and a junctional zone. As compared with the case of drawing 9, Remanence Pr and the coercive electric field Ec are improved so that clearly from drawing.

[0053] In addition, although the titanium layer was used as a junctional zone 30 in the above-mentioned example, as long as it is the ingredient which improves junction nature, what kind of thing may be used. For example, a platinum layer may be used. The hysteresis characteristic at the time of using a platinum layer (100nm) as a junctional zone is shown in drawing 11 B. clear, if compared with drawing 9 also in this case -- as -- Remanence Pr and a coercive electric field Ec -- an improvement -- now, it is.

[0054] In addition, in the above-mentioned example, matching of a lattice constant was aimed at by using platinum and the alloy of iridium. However, matching of a lattice constant can be similarly aimed at by using the conductor with which lattice constants differ.

[0055] Moreover, in each above-mentioned example, although the lower electrode 12 was formed with the alloy of one layer etc., you may form in the layer more than two-layer. In this case, if the alloy layer and iridium layer of platinum and iridium are used for the layer which touches the ferroelectric layer 8, matching of a lattice constant can be aimed at and the good ferroelectric layer 8 can be obtained. Moreover, about the effectiveness which prevents the ejection of the oxygen in the ferroelectric layer 8, when iridium oxidizes, if one of layers is the above-mentioned alloy layers and iridium layers, it will be obtained. However, effectiveness with higher preparing an alloy layer and an iridium layer so that the ferroelectric layer 8 may be touched can be acquired.

[0056] Furthermore, the effectiveness by the ejection of the oxygen by oxidization of iridium is acquired also when the up electrode 10 is used as the above-mentioned alloy layer or an iridium layer. If the vertical electrodes 10 and 12 are used as an alloy layer or an iridium layer, still bigger effectiveness can be acquired.

[0057] The capacitor by other examples of this invention is shown in drawing 12. In this example, it replaces with the ferroelectric layer 8 and the dielectric layer 90 which has a high dielectric constant is used. on the silicon oxide layer 4, the lower electrode 12 which consists of platinum and an alloy (above -- iridium -- good) of iridium was formed, and the high dielectric constant thin film which has the perovskite structure of SrTiO<sub>3</sub> and TiO (Sr, Ba)<sub>3</sub> was formed as a dielectric layer 90 on it. Also in this case, the dielectric improvement was achieved like the case of a ferroelectric. That is, it became clear that having described the ferroelectric layer can apply also to the dielectric layer which has a high dielectric constant.

---

[Translation done.]

**\* NOTICES \***

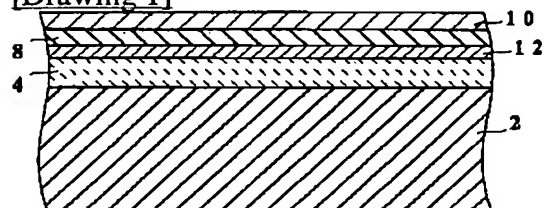
JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

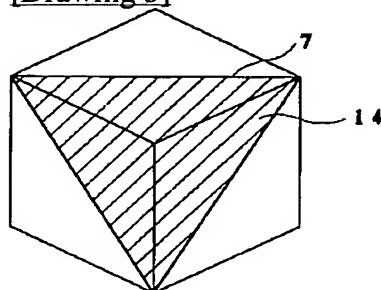
---

**DRAWINGS**

---

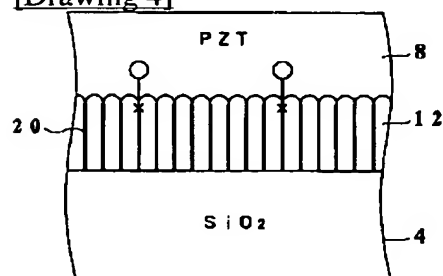
**[Drawing 1]**

- 2 : シリコン基板
- 4 : 酸化シリコン層
- 8 : 強誘電体層
- 10 : 上部電極
- 12 : 下部電極

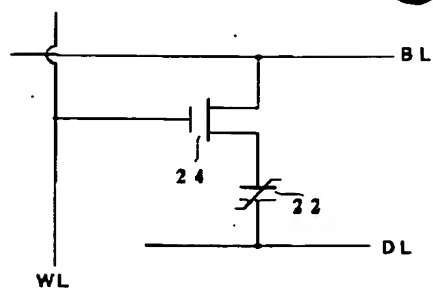
**[Drawing 3]****[Drawing 2]**

	P t	I r
原子量	195.08	192.22
色、結晶構造	重白金属、面心立方格子	重白金属、面心立方格子
格子定数 (Å)	3.923	3.839
密度 (g/cm <sup>3</sup> )	21.46	22.42
融点 (°C)	1700 (5% I r = 1777, 10% I r = 1899)	2410
沸点 (°C)	3800	4100
気体に対する 反応性	O <sub>2</sub> : 不、Cl <sub>2</sub> (>250°C): PtCl <sub>2</sub> F <sub>2</sub> (高温): PtF <sub>4</sub> H <sub>2</sub> : 微粉吸収	空気 (<800): 不、 (>800) IrO <sub>2</sub> Cl <sub>2</sub> (加熱): 塩化物 F <sub>2</sub> (加熱): フッ化物
液体に対する 反応性	無機酸: 不、王水: 溶、 KCN水、熱濃硫酸: 徐々に溶 融解アルカリ: 徐々に溶	水、無機酸、王水: 不、 融解KOH+KNO <sub>3</sub> : 溶
線膨張率 (10 <sup>-4</sup> /K)	0.0899 (0~100) 0.0994 (0~900)	0.0658 (0~100)
熱伝導率 (W/m·K)	71.4 (300K)	147 (300K)
仕事関数 (eV)	5.84 (100) 5.93 (111)	5.42 (110) 5.76 (111)
抵抗率 (10 <sup>-6</sup> Ωcm)	10.6	5.3
酸化物の抵抗率 (10 <sup>-6</sup> Ωcm)	PtO <sub>2</sub> (斜方晶) 600	IrO <sub>2</sub> (正方晶) 49

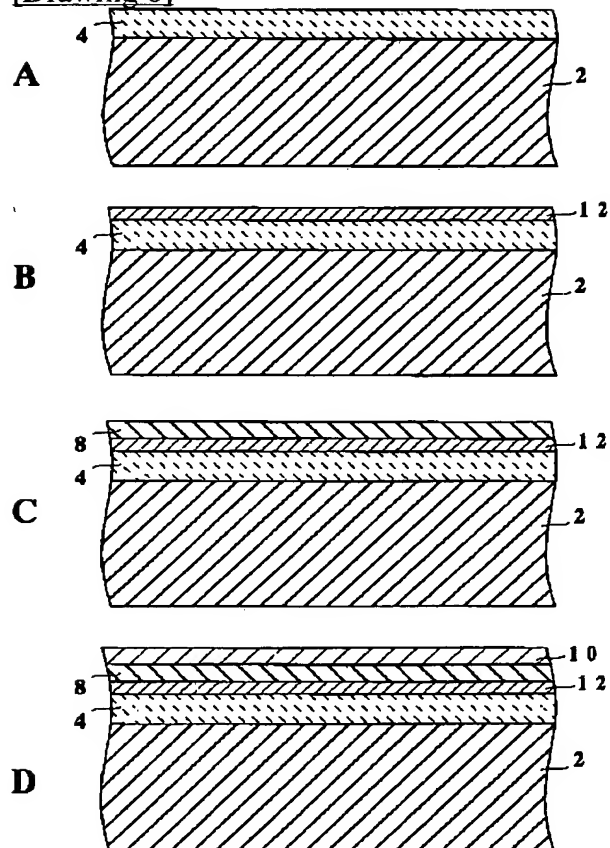
[Drawing 4]



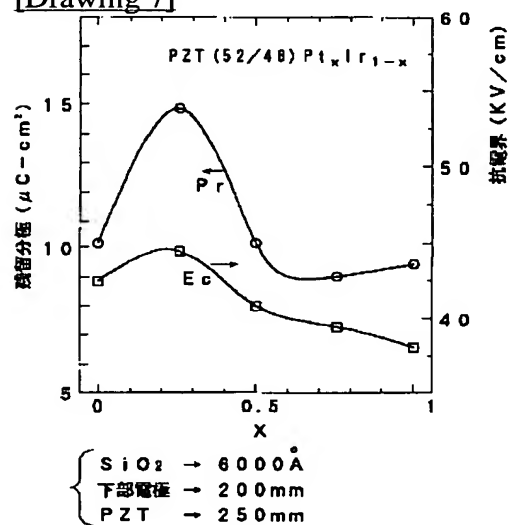
[Drawing 5]



[Drawing 6]

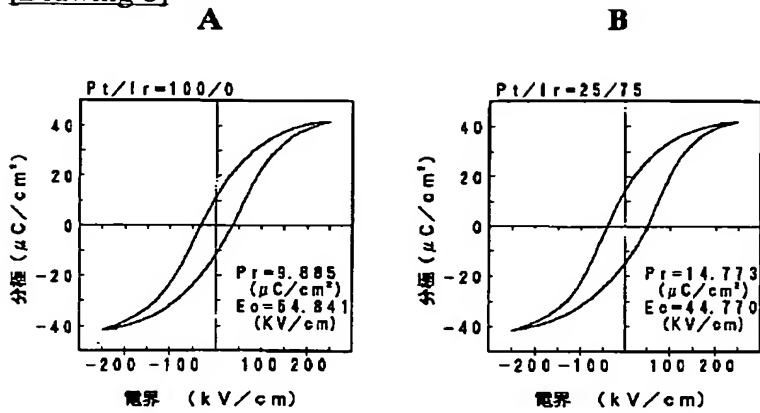


[Drawing 7]

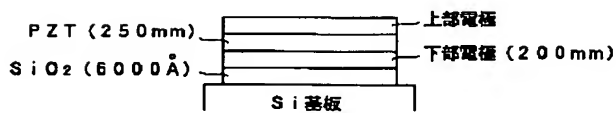
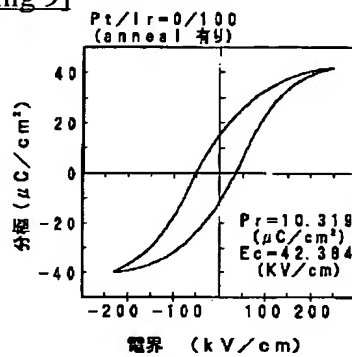


BEST AVAILABLE COPY

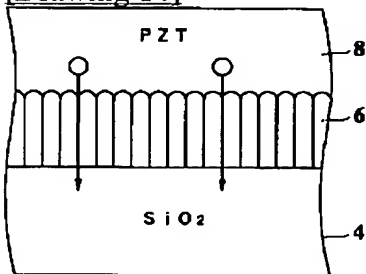
[Drawing 8]



[Drawing 9]

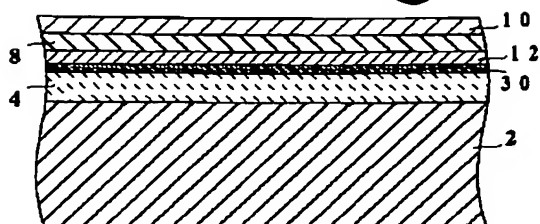


[Drawing 14]

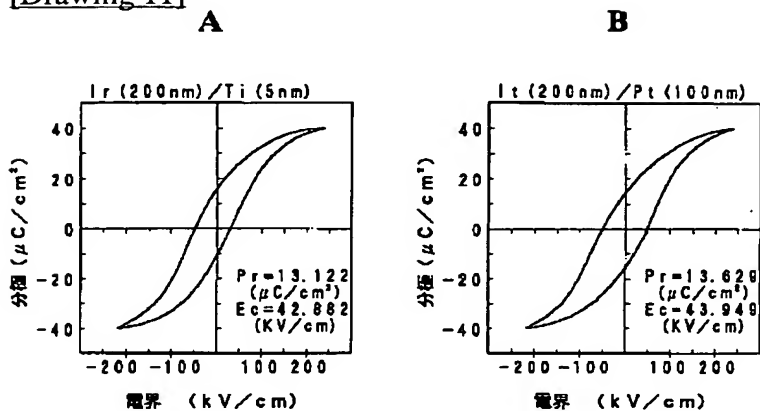


[Drawing 10]

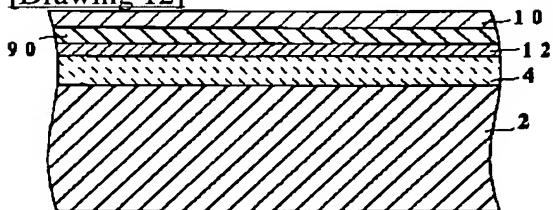
BEST AVAILABLE COPY



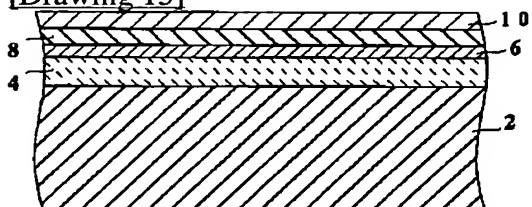
[Drawing 11]



[Drawing 12]



[Drawing 13]



[Translation done.]

BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245236

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01G 4/33

(21)Application number : 07-004461

(71)Applicant : ROHM CO LTD

(22)Date of filing : 13.01.1995

(72)Inventor : NAKAMURA TAKASHI

(30)Priority

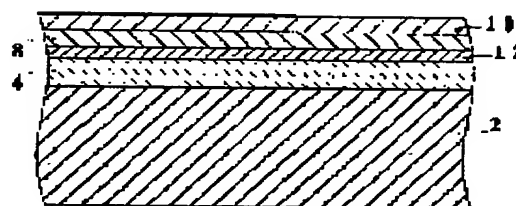
Priority number : 06 2246 Priority date : 13.01.1994 Priority country : JP

## (54) DIELECTRIC CAPACITOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To enhance the ferroelectric constant and highdielectric constant while reducing the deterioration by age and the deterioration due to the repeated inversion of polarization by a method wherein the dielectric capacitor is provided with a lower electrode having an alloy layer of platinum and iridium while a dielectric layer in contact with the alloy layer of the lower electrode is formed on the lower electrode; furthermore, an upper electrode is formed on the dielectric layer.

CONSTITUTION: A silicon oxide layer 4, a lower electrode 12, a ferroelectric layer 8 and an upper electrode 10 are successively formed on a silicon substrate 2. The lower electrode 12 is formed of an alloy layer of platinum and iridium. Accordingly, the lattice constant can be matched by changing the mixing ratio of platinum and iridium corresponding to the kind and composition of the ferroelectric or dielectric having high dielectric constant. Furthermore, the iridium contained in the alloy is easier to be oxidized than platinum and the oxidized iridium can prevent the oxygen contained in the ferroelectric from getting out of there.



## LEGAL STATUS

[Date of request for examination] 08.07.1999

[Date of sending the examiner's decision of rejection] 14.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3349612

[Date of registration] 13.09.2002

[Number of appeal against examiner's decision of rejection] 2001-22508

[Date of requesting appeal against examiner's decision of rejection] 14.12.2001

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245236

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl.<sup>9</sup>

H 0 1 G 4/33

識別記号

庁内整理番号

F I

技術表示箇所

9174-5E

H 0 1 G 4/06

1 0 1

審査請求 未請求 請求項の数27 O L (全 10 頁)

(21) 出願番号 特願平7-4461

(22) 出願日 平成7年(1995)1月13日

(31) 優先権主張番号 特願平6-2246

(32) 優先日 平6(1994)1月13日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 中村 孝

京都府京都市右京区西院溝崎町21番地

ローム株式会社内

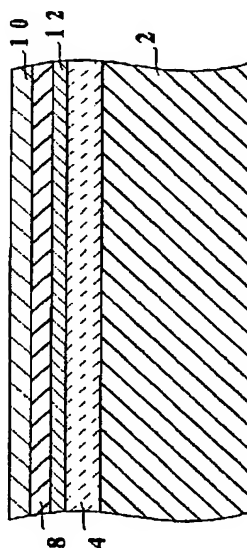
(74) 代理人 弁理士 古谷 栄男 (外2名)

(54) 【発明の名称】 誘電体キャパシタおよびその製造方法

(57) 【要約】

【目的】 優れた特性を有する誘電体キャパシタを提供することを目的とする。

【構成】 シリコン基板2の上に、酸化シリコン層4、下部電極12、強誘電体層8、上部電極10が設けられている。下部電極12は、白金とイリジウムの合金層によって形成されている。下部電極12の合金層は、強誘電体層8の種類や組成に応じて、適切な格子定数とすることができる。これにより、優れた特性の強誘電体層8を得ることができる。



2: シリコン基板  
4: 酸化シリコン層  
8: 強誘電体層  
10: 上部電極  
12: 下部電極

## 【特許請求の範囲】

【請求項 1】白金とイリジウムとの合金層を有する下部電極、

下部電極の上に、下部電極の前記合金層に接するように形成された強誘電体層、

強誘電体層の上に形成された上部電極、  
を備えた強誘電体キャパシタ。

【請求項 2】イリジウム層を有する下部電極、

下部電極の上に、下部電極の前記イリジウム層に接するように形成された強誘電体層、

強誘電体層の上に形成された上部電極、  
を備えた強誘電体キャパシタ。

【請求項 3】請求項 1 または 2 の強誘電体キャパシタにおいて、

前記下部電極は、基板の上に形成された酸化シリコン層の上に形成されており、

前記下部電極は、前記酸化シリコン層に接する接合層を、前記合金層またはイリジウム層の下に有していることを特徴とするもの。

【請求項 4】請求項 1 の強誘電体キャパシタにおいて、前記強誘電体層として  $\text{PbZrTiO}_3$  を用い、

強誘電体層に接する下部電極の層として  $\text{PtYIr}_{1-Y}$  を用い、 $Y$  を 0.5 の間としたことを特徴とするもの。

【請求項 5】請求項 4 の強誘電体キャパシタにおいて、前記  $Y$  を 0.2 ~ 0.3 の間としたことを特徴とするもの。

【請求項 6】請求項 1 の強誘電体キャパシタにおいて、前記強誘電体層として  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  を用い、

強誘電体層に接する下部電極の層として  $\text{PtYIr}_{1-Y}$  を用い、 $Y$  を 0.8 の間としたことを特徴とするもの。

【請求項 7】格子定数の異なる 2 以上の導電体の合金層を有する下部電極、

下部電極の上に、下部電極の合金層に接するように形成された強誘電体層、

強誘電体層の上に形成された上部電極、  
を備えた強誘電体キャパシタ。

【請求項 8】請求項 7 の強誘電体キャパシタにおいて、前記合金層は、少なくともイリジウムを含む合金層であることを特徴とするもの。

【請求項 9】下部電極、

下部電極の上に形成された強誘電体層、

強誘電体層の上に形成され、白金とイリジウムの合金層を有する上部電極、

を備えた強誘電体キャパシタ。

【請求項 10】下部電極、

下部電極の上に形成された強誘電体層、

強誘電体層の上に形成され、イリジウム層を有する上部電極、

を備えた強誘電体キャパシタ。

【請求項 11】白金とイリジウムとの合金層を有する下

部電極、

下部電極の上に、下部電極の前記合金層に接するように形成された高誘電率を有する誘電体層、

高誘電率を有する誘電体層の上に形成された上部電極、  
を備えた高誘電率を有する誘電体キャパシタ。

【請求項 12】イリジウム層を有する下部電極、

下部電極の上に、下部電極の前記イリジウム層に接するように形成された高誘電率を有する誘電体層、

高誘電率を有する誘電体層の上に形成された上部電極、  
を備えた高誘電率を有する誘電体キャパシタ。

【請求項 13】請求項 11 または 12 の高誘電率を有する誘電体キャパシタにおいて、

前記下部電極は、基板の上に形成された酸化シリコン層の上に形成されており、

前記下部電極は、前記酸化シリコン層に接する接合層を、前記合金層またはイリジウム層の下に有していることを特徴とするもの。

【請求項 14】格子定数の異なる 2 以上の導電体の合金層を有する下部電極、

下部電極の上に、下部電極の合金層に接するように形成された高誘電率を有する誘電体層、

高誘電率を有する誘電体層の上に形成された上部電極、  
を備えた高誘電率を有する誘電体キャパシタ。

【請求項 15】請求項 14 の高誘電率を有する誘電体キャパシタにおいて、

前記合金層は、少なくともイリジウムを含む合金層であることを特徴とするもの。

【請求項 16】下部電極、

下部電極の上に形成された高誘電率を有する誘電体層、  
高誘電率を有する誘電体層の上に形成され、白金とイリジウムの合金層を有する上部電極、

を備えた高誘電率を有する誘電体キャパシタ。

【請求項 17】下部電極、

下部電極の上に形成された高誘電率を有する誘電体層、  
高誘電率を有する誘電体層の上に形成され、イリジウム層を有する上部電極、

を備えた高誘電率を有する誘電体キャパシタ。

【請求項 18】基板上に、スパッタリングによって、白金とイリジウムとの合金層またはイリジウム層を下部電極として形成するステップ、

前記合金層の上に接するように強誘電体層を形成するステップ、

強誘電体層の上に上部電極を形成するステップ、  
を備えた強誘電体キャパシタの製造方法。

【請求項 19】基板上に、酸化シリコン層を形成するステップ、

前記酸化シリコン層の上に、接合層を形成するステップ、

前記チタン層の上に、白金とイリジウムとの合金層またはイリジウム層を形成し、下部電極を形成するステッ

ブ、  
前記下部電極の上に強誘電体層を形成するステップ、  
強誘電体層の上に上部電極を形成するステップ、  
を備えた強誘電体キャパシタの製造方法。

【請求項 20】請求項 18 または請求項 19 の強誘電体キャパシタの製造方法において、  
下部電極を摂氏 400 度以上で熱処理するステップを備えたことを特徴とするもの。

【請求項 21】請求項 20 の強誘電体キャパシタの製造方法において、  
熱処理ステップは、強誘電体層形成のための熱処理を兼ねるものであることを特徴とするもの。

【請求項 22】強誘電体層の両端に下部電極および上部電極を有する強誘電体キャパシタの製造方法において、  
前記下部電極を格子定数の異なる 2 以上の種類の金属の合金とし、合金の構成比率を変えることにより、合金の格子定数を変えて、前記強誘電体層の格子定数と合致させるようにしたことを特徴とする強誘電体キャパシタの製造方法。

【請求項 23】基板上に、スパッタリングによって、白金とイリジウムとの合金層またはイリジウム層を下部電極として形成するステップ、  
前記合金層の上に接するように高誘電率を有する誘電体層を形成するステップ、  
高誘電率を有する誘電体層の上に上部電極を形成するステップ、  
を備えた高誘電率を有する誘電体キャパシタの製造方法。

【請求項 24】基板上に、酸化シリコン層を形成するステップ、  
前記酸化シリコン層の上に、接合層を形成するステップ、  
前記チタン層の上に、白金とイリジウムとの合金層またはイリジウム層を形成し、下部電極を形成するステップ、  
前記下部電極の上に高誘電率を有する誘電体層を形成するステップ、  
高誘電率を有する誘電体層の上に上部電極を形成するステップ、  
を備えた高誘電率を有する誘電体キャパシタの製造方法。

【請求項 25】請求項 23 または請求項 24 の高誘電率を有する誘電体キャパシタの製造方法において、  
下部電極を摂氏 400 度以上の温度で熱処理するステップを備えていることを特徴とするもの。

【請求項 26】請求項 25 高誘電率を有する誘電体キャパシタの製造方法において、  
熱処理ステップは、高誘電率を有する誘電体層形成のための熱処理を兼ねるものであることを特徴とするもの。

【請求項 27】高誘電率を有する誘電体層の両端に下部

電極および上部電極を有する高誘電率を有する誘電体キャパシタの製造方法において、

前記下部電極を格子定数の異なる 2 以上の種類の金属の合金とし、合金の構成比率を変えることにより、合金の格子定数を変えて、前記高誘電率を有する誘電体層の格子定数と合致させるようにしたことを特徴とする高誘電率を有する誘電体キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は誘電体キャパシタに関するものであり、特にその強誘電性の向上に関するものである。

【0002】従来の強誘電体キャパシタを、図 13 に示す。シリコン基板 2 の上に、酸化シリコン層 4 が形成されている。その上に、白金からなる下部電極 6 が設けられている。下部電極 6 の上には、強誘電体層である PZT (PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>) 膜 8 が設けられ、さらにその上には、白金からなる上部電極 10 が設けられている。このようにして、下部電極 6、PZT 膜 8、上部電極 10 により、強誘電体キャパシタが形成される。

【0003】なお、ここで、下部電極 6 として白金を用いているのは、次のような理由によるものである。PZT 膜 8 は、配向膜の上に形成しなければならない。アモルファス膜の上に形成すると、配向しないため強誘電性が損なわれてしまうからである。一方、下部電極 6 は、シリコン基板 2 から絶縁した状態で形成しなければならない。このため、シリコン基板 2 上に酸化シリコン層 4 を形成している。この酸化シリコン層 4 はアモルファスである。一般に、アモルファスの上に形成した膜は無配向膜となるが、白金はアモルファスの上においても、配向膜となる性質を有している。このような理由から、下部電極として白金が用いられている。

【0004】

【発明が解決しようとする課題】しかしながら、上記のような従来の強誘電体キャパシタには、次のような問題点があった。

【0005】第一に、強誘電体の種類や組成によって、下部電極である白金との格子定数のミスマッチが大きくなり、強誘電性が劣化するおそれがあった。

【0006】第二に、白金は酸素を透過しやすいため、強誘電体 (PZT) 内の酸素の抜け出し、経年変化および分極反転の繰返しによって強誘電性が低下するという問題があった。つまり、図 14 に示すように、白金の柱状結晶の間から、強誘電体中の酸素が抜け出すおそれがあった。

【0007】また、このような問題は高誘電率を有する誘電体を用いたキャパシタにおいても同様に生じていた。

【0008】この発明は、上記の問題点を解決して、優れた強誘電性、高誘電性を示すとともに、経年劣化およ

び分極反転の繰り返しによる劣化の少ない強誘電体キャパシタまたは高誘電率を有する誘電体キャパシタを提供することを目的とする。

【0009】

【課題を解決するための手段】なお、この発明において、「キャパシタ」とは絶縁体の両側に電極が設けられた構造を指すものであり、電気量の蓄積に用いられると否とにかかわらず、この構造を有するものを含む概念である。

【0010】請求項1の強誘電体キャパシタおよび請求項11の高誘電率を有する誘電体キャパシタは、白金とイリジウムとの合金層を有する下部電極、下部電極の上に、下部電極の前記合金層に接するように形成された誘電体層、誘電体層の上に形成された上部電極、を備えている。

【0011】請求項2の強誘電体キャパシタおよび請求項12の高誘電率を有する誘電体キャパシタは、イリジウム層を有する下部電極、下部電極の上に、下部電極の前記イリジウム層に接するように形成された誘電体層、誘電体層の上に形成された上部電極、を備えている。

【0012】請求項3の強誘電体キャパシタおよび請求項13の高誘電率を有する誘電体キャパシタは、前記下部電極は、基板の上に形成された酸化シリコン層の上に形成されており、前記下部電極は、前記酸化シリコン層に接する接合層を、前記合金層またはイリジウム層の下に有していることを特徴としている。

【0013】請求項4の強誘電体キャパシタは、前記強誘電体層として $\text{PbZrTiO}_3$ を用い、強誘電体層に接する下部電極の層として $\text{PtYIr}_{1-Y}$ を用い、 $Y$ を0.5の間としたことを特徴としている。

【0014】請求項5の強誘電体キャパシタは、請求項4において前記 $Y$ を0.2~0.3の間としたことを特徴としている。

【0015】請求項6の強誘電体キャパシタは、強誘電体層として $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を用い、強誘電体層に接する下部電極の層として $\text{PtYIr}_{1-Y}$ を用い、 $Y$ を0.8の間としたことを特徴としている。

【0016】請求項7の強誘電体キャパシタおよび請求項14の高誘電率を有する誘電体キャパシタは、格子定数の異なる2以上の導電体の合金層を有する下部電極、下部電極の上に、下部電極の合金層に接するように形成された強誘電体層、強誘電体層の上に形成された上部電極、を備えている。

【0017】請求項8の強誘電体キャパシタおよび請求項15の高誘電率を有する誘電体キャパシタは、前記合金層は、少なくともイリジウムを含む合金層であることを特徴としている。

【0018】請求項9の強誘電体キャパシタおよび請求項16の高誘電率を有する誘電体キャパシタは、下部電極、下部電極の上に形成された強誘電体層、強誘電体層

の上に形成され、白金とイリジウムの合金層を有する上部電極、を備えている。

【0019】請求項10の強誘電体キャパシタおよび請求項17の高誘電率を有する誘電体キャパシタは、下部電極、下部電極の上に形成された強誘電体層、強誘電体層の上に形成され、イリジウム層を有する上部電極、を備えている。

【0020】請求項18の強誘電体キャパシタの製造方法および請求項23の高誘電率を有する誘電体キャパシタの製造方法は、基板上に、スパッタリングによって、白金とイリジウムとの合金層またはイリジウム層を下部電極として形成するステップ、前記合金層の上に接するように誘電体層を形成するステップ、誘電体層の上に上部電極を形成するステップ、を備えている。

【0021】請求項19の強誘電体キャパシタの製造方法および請求項24の高誘電率を有する誘電体キャパシタの製造方法は、基板上に、酸化シリコン層を形成するステップ、前記酸化シリコン層の上に、接合層を形成するステップ、前記チタン層の上に、白金とイリジウムとの合金層またはイリジウム層を形成し、下部電極を形成するステップ、前記下部電極の上に誘電体層を形成するステップ、誘電体層の上に上部電極を形成するステップ、を備えている。

【0022】請求項20の強誘電体キャパシタの製造方法および請求項25の高誘電率を有する誘電体キャパシタの製造方法は、下部電極を摂氏400度以上で熱処理するステップを備えたことを特徴としている。

【0023】請求項21の強誘電体キャパシタの製造方法および請求項26の高誘電率を有する誘電体キャパシタの製造方法は、熱処理ステップは、誘電体層形成のための熱処理を兼ねるものであることを特徴としている。

【0024】請求項22の強誘電体キャパシタの製造方法および請求項27の高誘電率を有する誘電体キャパシタの製造方法は、下部電極を格子定数の異なる2以上の種類の金属の合金とし、合金の構成比率を変えることにより、合金の格子定数を変えて、誘電体層の格子定数と合致させるようにしたことを特徴としている。

【0025】

【作用および発明の効果】請求項1の強誘電体キャパシタおよび請求項11の高誘電率を有する誘電体キャパシタは、白金とイリジウムとの合金層を有する下部電極を用いたことを特徴としている。したがって、強誘電体や高誘電率を有する誘電体の種類や組成に応じて、白金とイリジウムの混合比を変えて、格子定数をマッチングさせることができる。また、合金中に含まれるイリジウムは白金よりも酸化しやすく、酸化したイリジウムによって、強誘電体中の酸素のぬけ出しが防止できる。

【0026】請求項2の強誘電体キャパシタおよび請求項12の高誘電率を有する誘電体キャパシタは、イリジウム層を有する下部電極を用いたことを特徴としてい

る。したがって、酸化したイリジウムによって、強誘電体中の酸素の抜け出しを防止できる。

【0027】請求項3の強誘電体キャパシタおよび請求項13の高誘電率を有する誘電体キャパシタは、酸化シリコン層に接する接合層を下部電極の下に有していることを特徴としている。したがって、強誘電体層および高誘電率を有する誘電体層の接着性を向上させることができる。

【0028】請求項4の強誘電体キャパシタは、強誘電体層として $\text{PbZrTiO}_3$ を用い、強誘電体層に接する下部電極の層として $\text{PtyIr}_{1-Y}$ を用い、 $Y$ を0~0.5の間としている。したがって、両者の格子定数がマッチングして、優れた強誘電性を得ることができる。

【0029】請求項5の強誘電体キャパシタは、 $Y$ を0.2~0.3の間としている。したがって、両者の格子定数がさらによくマッチングして、さらに優れた強誘電性を得ることができる。

【0030】請求項6の強誘電体キャパシタは、強誘電体層として $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を用い、強誘電体層に接する下部電極の層として $\text{PtyIr}_{1-Y}$ を用い、 $Y$ を0.8の間としている。したがって、両者の格子定数がマッチングして、優れた強誘電性を得ることができる。

【0031】請求項7の強誘電体キャパシタおよび請求項14の高誘電率を有する誘電体キャパシタは、格子定数の異なる2以上の導電体の合金層を下部電極に有している。したがって、合金の比率を変えることにより、誘電体層との格子定数のマッチングをとることが容易である。

【0032】請求項8の強誘電体キャパシタおよび請求項15の高誘電率を有する誘電体キャパシタは、さらに、前記合金層にイリジウムを含んでいる。したがって、酸化したイリジウムによって、誘電体層からの酸素の抜け出しを防止できる。

【0033】請求項9、10の強誘電体キャパシタおよび請求項16、17の高誘電率を有する誘電体キャパシタは、上部電極に白金とイリジウムの合金層またはイリジウム層を備えている。したがって、酸化したイリジウムによって、強誘電体中の酸素が上部電極を解して抜け出すのを防止できる。

【0034】請求項18の強誘電体キャパシタの製造方法および請求項23の高誘電率を有する誘電体キャパシタの製造方法は、酸化シリコン層に接する接合層を下部電極の下に形成するステップを有している。したがって、強誘電体層、高誘電率を有する誘電体層の接着性を向上させることができる。

【0035】請求項19の強誘電体キャパシタの製造方法および請求項24の高誘電率を有する誘電体キャパシタの製造方法は、白金とイリジウムとの合金層またはイリジウム層を下部電極として形成し、摂氏700以上で熱処理するステップを備えている。したがって、イリジ

ウム層または合金層中のイリジウムが酸化され、酸素の抜け出しを防止することができる。

【0036】請求項20の強誘電体キャパシタの製造方法および請求項25の高誘電率を有する誘電体キャパシタの製造方法は、誘電体層形成のための熱処理によって、下部電極の熱処理をあわせて行うことを特徴としている。したがって、工程の簡素化を図って、効率良く製造を行うことができる。

【0037】すなわち、強誘電性、高誘電性の良好な誘電体キャパシタを提供することができる。

【0038】

【実施例】図1に、この発明の一実施例による強誘電体キャパシタの構造を示す。シリコン基板2の上に、酸化シリコン層4、下部電極12、強誘電体層8、上部電極10が設けられている。下部電極12は、白金とイリジウムの合金層によって形成されている。

【0039】図2に、白金とイリジウムの物性を比較して掲げる。この表からも明らかなように、イリジウムの物性は白金の物性とほぼ等しい。イリジウムの抵抗率は、白金よりも小さく、電極として好ましい材料である。また、白金の格子定数が3.923オングストロームであるのに対し、イリジウムの格子定数は3.839オングストロームである。したがって、混合比を変えることにより、白金とイリジウムの合金の格子定数を、3.923オングストローム~3.839オングストロームの間に設定することができる。つまり、強誘電体の種類や組成に応じて、適切な格子定数とすることができる。

【0040】たとえば、強誘電体層8としてチタン酸ビスマス $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ （以下BITという）を用いる場合について説明する。BITの格子定数は、 $a=5.45$ 、 $b=5.41$ 、 $c=32.815$ である。一方、下部電極12である白金やイリジウムは、図3に示すように

(111)方向に配向する。したがって、BITの $c$ 軸配向膜を得るためには、下部電極12の(111)面の原子間距離 $L$ を、 $a=5.45$ 、もしくは $b=5.41$ と等しくする必要がある。この実施例では、白金とイリジウムの合金の組成比を、 $\text{Pt}x\text{Ir}_{1-x}$ において $x=0.8$ とすることにより、(111)面の原子間距離 $L$ を5.43とすることができる。つまり、BITの格子定数とマッチングをとって、強誘電性の高いBIT膜を形成することができる。

【0041】また、イリジウムは白金に比べると酸化しやすい。図2の表に示すように、白金が酸素と反応しにくいのにに対し、イリジウムは高温下で酸化する。この白金とイリジウムの合金を熱処理すれば、イリジウムがわずかに酸化する。この酸化イリジウム20が白金の柱状結晶の間に形成され、強誘電体8中の酸素の抜け出す通路を塞ぐので、酸素の欠乏を防止することができる（図4参照）。

【0042】上記のような強誘電体キャパシタは、たとえば、図5に示すように、トランジスタ24と組み合わせて、不揮発性メモリとして用いることができる。

【0043】図6に、この発明の一実施例による強誘電体キャパシタの製造工程を示す。シリコン基板2の表面を熱酸化し、酸化シリコン層4を形成する(図6A)。ここでは、酸化シリコン層4の厚さを600nmとした。次に、白金とイリジウムをターゲットとして用いて、白金とイリジウムの合金を、酸化シリコン層4の上に形成する(図6B)。これを下部電極12とする。ここでは、200nmの厚さに形成した。

【0044】次に、この下部電極12の上に、ゾルゲル法によって、強誘電体層8としてPZT膜を形成する(図6C)。出発原料として、 $\text{Pb}(\text{CH}_3\text{COO})_2 \cdot 3\text{H}_2\text{O}$ 、 $\text{Zr}(\text{t-OC}_4\text{H}_9)_4$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ の混合溶液を用いた。この混合溶液をスピコートした後、150度(摂氏、以下同じ)で乾燥させ、ドライエアー雰囲気において400度で30秒の仮焼成を行った。これを5回繰り返した後、 $\text{O}_2$ 雰囲気中で、700度以上の熱処理を施した。このようにして、250nmの強誘電体層8を形成した。なお、ここでは、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ において、 $x$ を0.52として(以下PZT(52・48)と表わす)、PZT膜を形成している。

【0045】さらに、強誘電体層8の上に、スパッタリングにより白金によって上部電極10を形成する(図6D)。このようにして、強誘電体キャパシタを得ることができる。

【0046】なお、上記実施例では、強誘電体層8を形成するための熱処理によって(700度以上)によって、下部電極12をあわせて熱処理し、イリジウムを酸化させるようにしている。しかし、下部電極12の形成時にこの熱処理を行ってもよい。後述の高誘電性の特性向上は、400度以上の熱処理を行うことにより顕著にあらわれることが判明した。もちろん、それ以下の温度であっても所定の効果は得られる。また、特別な熱処理を行わなくとも、経年変化によって、徐々にイリジウムの酸化が進行して効果が得えられる。

【0047】図7に、強誘電体層8としてPZT(52/48)を用い、下部電極12として $\text{Pt}_x\text{Ir}_{1-x}$ を用いて、白金とイリジウムの組成比 $x$ を変化させた場合の、残留分極 $P_r$ と抗電界 $E_c$ の変化をグラフで示す。この図からも明らかなように、下部電極12として、白金のみを用いた場合( $x=1.0$ の場合)に比べて、イリジウムとの合金を用いた場合の方が、残留分極 $P_r$ が高い値を示すことが明らかである。すなわち、強誘電性が向上しているといえる。白金0%~50%の範囲において顕著な特性の改善が得られており、特に白金25%程度をピークとして、20%~30%の混合比において、極めて優れた特性が得られている。

【0048】図8に、下部電極12として白金のみを用

いた場合の、強誘電体キャパシタのヒステリシス特性を示す。また、図8Bに、下部電極12として白金25%、イリジウム75%の合金を用いた場合の、強誘電体キャパシタのヒステリシス特性を示す。なお、ここでは、酸化シリコン層を600nm、下部電極12を200nm、PZTを250nmとした。両グラフを比較すれば明らかなように、合金を用いた場合の方(図8Bの方)が、残留分極 $P_r$ に優れた特性を示している。

【0049】さらに、図9に、下部電極12としてイリジウムのみを用いた場合の、強誘電体キャパシタのヒステリシス特性を示す。このように、イリジウムのみを用いた場合であっても、残留分極 $P_r$ 、抗電界 $E_c$ が改善されている。これは、イリジウムも白金と同じく柱状結晶であるが、その表面もしくは結晶間が酸化して、柱状結晶でない酸化イリジウムに変化するためであると思われる。

【0050】なお、下部電極、上部電極に白金とイリジウムとの合金やイリジウムを用いると、誘電体の特性が向上する理由は必ずしも明らかではないが、上記で述べた理由等が複合的に影響していると思われる。

【0051】図10に、この発明の他の実施例による強誘電体キャパシタの構造を示す。この実施例では、下部電極12と酸化シリコン層4との間に、チタン層を接合層30として設けている。イリジウムと酸化シリコン層4との密着性はあまり良くない。このため、部分的に合金層がはがれ、強誘電特性を劣化させるおそれがある。特に、合金中のイリジウムの比率が高くなるほど、このことが顕著となる。そこで、この実施例では、酸化シリコン層4と密着性のよいチタン層を接合層30として設けている。これにより、強誘電特性を改善している。なお、チタン層は、スパッタリングによって形成すればよい。

【0052】図11に、イリジウムによる下部電極12の下に、チタン層を接合層30として設けた場合の、ヒステリシス特性を示す。ここでは、酸化シリコン層を6000オングストローム、接合層を5nm、下部電極12を200nm、PZTを250nmとした。図から明らかなように、図9の場合に比較して、残留分極 $P_r$ 、抗電界 $E_c$ ともに改善されている。

【0053】なお、上記実施例では、接合層30としてチタン層を用いたが、接合性を改善する材料であれば、どのようなものでもよい。例えば、白金層を用いてもよい。白金層(100nm)を接合層として用いた場合の、ヒステリシス特性を図11Bに示す。この場合も、図9と比べれば明らかなように、残留分極 $P_r$ 、抗電界 $E_c$ が改善されている。

【0054】なお、上記の実施例では、白金とイリジウムの合金を用いることにより、格子定数のマッチングを図った。しかし、格子定数の異なる導電体を用いることにより、同様にして格子定数のマッチングを図ることが

できる。

【0055】また、上記各実施例では、下部電極 12 を 1 層の合金等で形成したが、2 層以上の層で形成してもよい。この場合、強誘電体層 8 に接する層に、白金とイリジウムの合金層やイリジウム層を用いれば、格子定数のマッチングを図って、良好な強誘電体層 8 を得ることができる。また、イリジウムが酸化することによって、強誘電体層 8 中の酸素の抜け出しを防ぐ効果については、いずれかの層が上記の合金層やイリジウム層であれば得られる。しかし、強誘電体層 8 に接するように合金層やイリジウム層を設けたほうが、高い効果を得ることができる。

【0056】さらに、イリジウムの酸化による酸素の抜け出しによる効果は、上部電極 10 を上記合金層やイリジウム層にした場合も得られる。上下電極 10、12 ともに、合金層またはイリジウム層にすれば、さらに大きな効果を得ることができる。

【0057】この発明の他の実施例によるキャパシタを図 12 に示す。この実施例では、強誘電体層 8 に代えて、高誘電率を有する誘電体層 90 を用いている。酸化シリコン層 4 の上に、白金とイリジウムの合金（上述のようにイリジウムのみでもよい）からなる下部電極 12 を設け、その上に  $\text{SrTiO}_3$ 、 $(\text{Sr}, \text{Ba})\text{TiO}_3$  のペロブスカイト構造を有する高誘電率薄膜を誘電体層 90 として形成した。この場合も、強誘電体の場合と同様、誘電性の改善が図られた。つまり、強誘電体層について述べたことが、高誘電率を有する誘電体層にも適用できることが明らかとなった。

#### 【図面の簡単な説明】

【図 1】この発明の一実施例による強誘電体キャパシタの構造を示す図である。

【図 2】白金とイリジウムの物性を表わす図である。

【図 3】白金、イリジウムの結晶面を示す図である。

【図 4】白金とイリジウムの合金において、酸化イリジウムが酸素の抜け出しを防止する構造を示す図である。

【図 5】強誘電体キャパシタ 22 を用いた不揮発性メモリを示す図である。

【図 6】強誘電体キャパシタの製造工程を示す図である。

【図 7】下部電極 12 の白金とイリジウムの混合比を変えた場合の残留分極  $P_r$  と抗電界  $E_c$  の変化を示す図である。

【図 8】白金のみを下部電極として用いた場合と、白金とイリジウムの合金を下部電極として用いた場合のヒステリシス特性を比較する図である。

【図 9】下部電極としてイリジウムのみを用いた場合のヒステリシス特性を示す図である。

【図 10】下部電極 12 と酸化シリコン層 4 との間に、接合層 30 を設けた場合の実施例を示す図である。

【図 11】接合層 30 としてイリジウム層、白金層を用いた場合のヒステリシス特性を示す図である。

【図 12】高誘電率を有する誘電体キャパシタの実施例を示す図である。

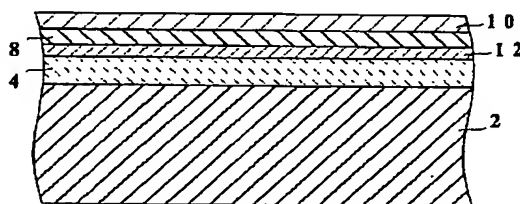
【図 13】従来の強誘電体キャパシタの構造を示す図である。

【図 14】白金による下部電極 6 から酸素が抜け出す状態を示す図である。

#### 【符号の説明】

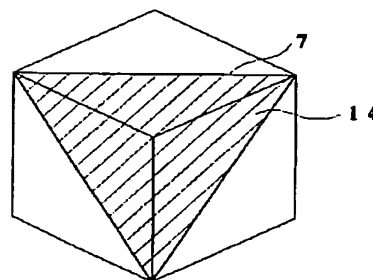
- 2 . . . シリコン基板
- 4 . . . 酸化シリコン層
- 8 . . . 強誘電体層
- 10 . . . 上部電極
- 12 . . . 下部電極
- 90 . . . 高誘電率を有する誘電体層

【図 1】



- 2 : シリコン基板
- 4 : 酸化シリコン層
- 8 : 強誘電体層
- 10 : 上部電極
- 12 : 下部電極

【図 3】

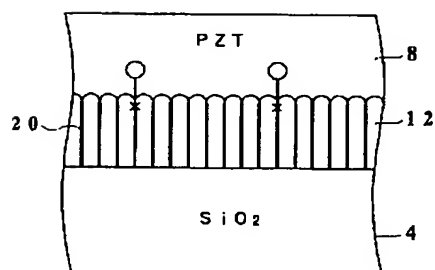




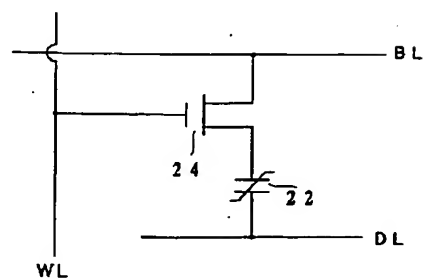
【図 2】

	P t	I r
原子量	195.08	192.22
色、結晶構造	重白金属、面心立方格子	重白金属、面心立方格子
格子定数 (Å)	3.923	3.839
密度 (g/cm <sup>3</sup> )	21.46	22.42
融点 (°C)	1700 (5% I r = 1777, 10% I r = 1899)	2410
沸点 (°C)	3800	4100
気体に対する 反応性	O <sub>2</sub> : 不、Cl <sub>2</sub> (>250°C): PtCl <sub>2</sub> F <sub>2</sub> (高温): PtF <sub>4</sub> H <sub>2</sub> : 微粉吸収	空気 (<800): 不、 (>800) IrO <sub>2</sub> Cl <sub>2</sub> (加熱): 塩化物 F <sub>2</sub> (加熱): フッ化物
液体に対する 反応性	無機酸: 不、王水: 溶、 KCN水、熱濃硫酸: 徐々に溶 融解アルカリ: 徐々に溶	水、無機酸、王水: 不、 融解 KOH + KNO <sub>3</sub> : 溶
線膨張率 (10 <sup>-4</sup> /K)	0.0899 (0~100) 0.0994 (0~900)	0.0658 (0~100)
熱伝導率 (W/m·K)	71.4 (300K)	147 (300K)
仕事関数 (eV)	5.84 (100) 5.93 (111)	5.42 (110) 5.76 (111)
抵抗率 (10 <sup>-6</sup> Ωcm)	10.6	5.3
酸化物の抵抗率 (10 <sup>-6</sup> Ωcm)	PtO <sub>2</sub> (斜方晶) 600	IrO <sub>2</sub> (正方晶) 49

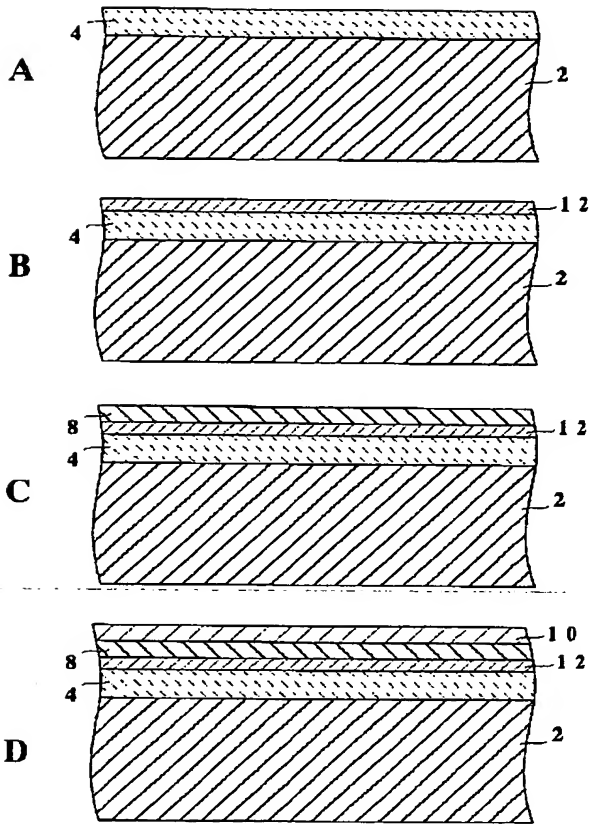
【図 4】



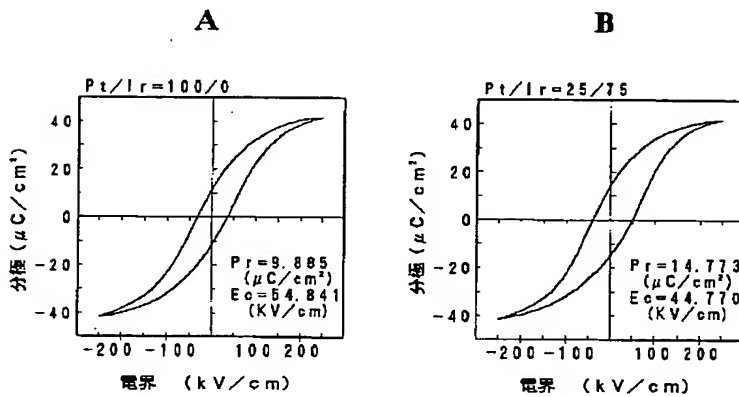
【図 5】



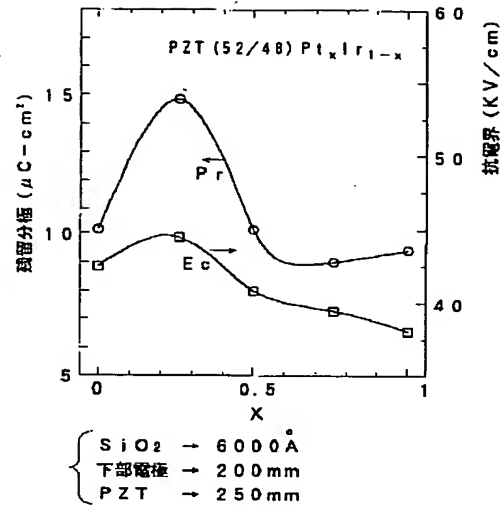
【図6】



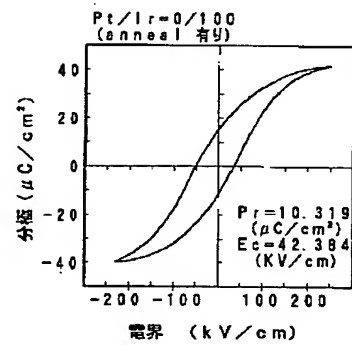
【図8】



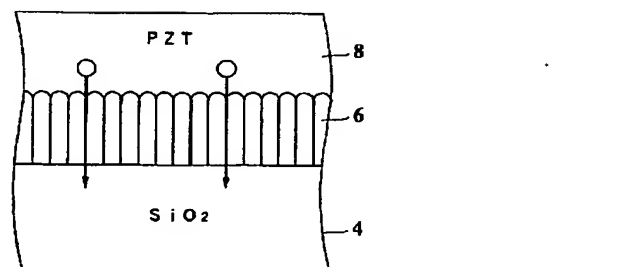
【図7】



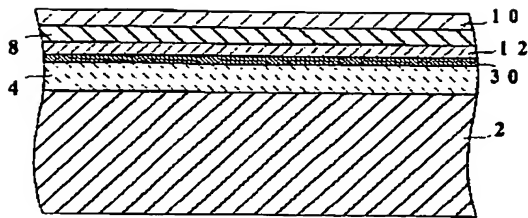
【図9】



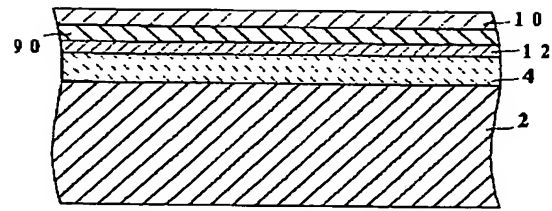
【図14】



【図10】

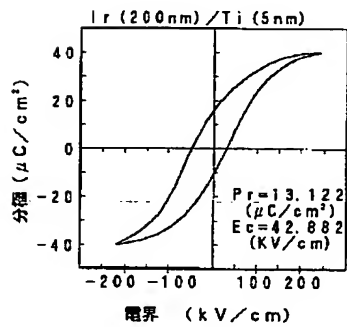


【図12】

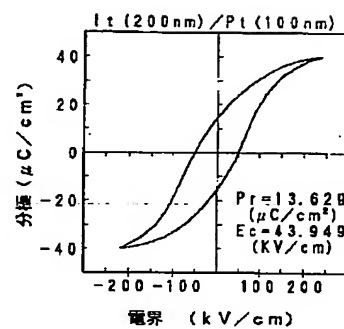


【図11】

A



B



【図13】

